

LUCRAREA 8

SISTEM DE ACHIZIȚIE DE SEMNALE

1 Generalități

Sistemul de achiziție de semnale prezentat în cele ce urmează conține un convertor analog – numeric cu aproximații succesive pe 12 biți, un circuit de multiplexare analogică a semnalelor de intrare, pe 8 canale și o interfață numerică pentru cuplarea la un calculator.

Convertoarele analog – numerice cu reacție elimină dezavantajul principal al convertoarelor paralele, numărul mare de circuite de comparație, pe seama creșterii timpului de conversie. Comparațiile semnalului de intrare nu se mai fac simultan față de un set de nivele de referință fixe, ci se folosește un singur circuit de comparație care execută succesiv compararea semnalului analogic de intrare cu o tensiune de referință variabilă.

CAN cu aproximații succesive este unul dintre cele mai folosite circuite de conversie analog – numerică cu reacție, având viteze de conversie relativ ridicate și putându-se obține rezoluții destul de mari (16 biți).

2. Schema bloc

Schema bloc a sistemului de achiziție de semnale este dată în fig. 8.1.

Convertorul numeric – analog (CAN) este comandat de un registru de control cu aproximații succesive (RAS). Compararea se face bit cu bit. La primirea semnalului de *START CONVERSIE*, RAS poziționează biții în starea “0” logic, cu excepția celui mai semnificativ bit (MSB), care este în “1” logic. Astfel, semnalul de intrare se compară cu jumătatea din tensiunea de intrare maximă $V_{\max}/2$ generată de CAN. Dacă semnalul de intrare este mai mare decât această primă aproximație, al doilea bit este stabilit la “1” logic. Tensiunea de reacție produsă de CAN în acest caz va fi:

$$\frac{V_{\max}}{2} + \frac{V_{\max}}{4} = \frac{3V_{\max}}{4}$$

Dacă semnalul de intrare $V_{in} < \frac{V_{\max}}{2}$, primul bit al RAS este trecut în “0” logic iar al doilea bit

este “1” logic, tensiunea de reacție produsă de CAN fiind acum $V_{\max}/4$, etc. Astfel, semnalul analogic de intrare este comparat succesiv cu semnalul de reacție ce reprezintă aproximații tot mai bune ale sale, până se determină bitul de semnificație minimă (LSB). Deci, pentru n biți sunt necesare n comparații ale semnalului de intrare cu cel de reacție. După trecerea timpului de conversie, RAS generează semnalul E_{OC} (sfârșit conversie), care comandă citirea codului numeric de la ieșire de către microcalculator, pentru efectuarea procesărilor propuse.

3. Schema electrică

a. Funcționare

Rezoluția convertorului este impusă de gama dinamică a semnalului de intrare (> 70 dB) și de precizia prelucrărilor. Rezoluția globală a sistemului de prelucrare poate fi mărită prin folosirea amplificatoarelor de intrare. De exemplu, dacă la acest tip de convertor se face o amplificare cu 10^3 , rezoluția devine $2,44 \mu\text{V}$ (în absența zgomotelor) în loc de $2,44$ mV.

Performanțele CAN se reflectă în final asupra performanțelor globale ale sistemului de prelucrare numerică a semnalului, în acuratețea cu care se obțin rezultatele, cât și în frecvența maximă a semnalului.

CAN trimite unității centrale de prelucrare eșantioane numerice cu o rezoluție de 12 biți, la o rată de conversie de 25000 eșantioane / s, putându-se astfel eșantiona semnale cu frecvența maximă de 10 kHz.

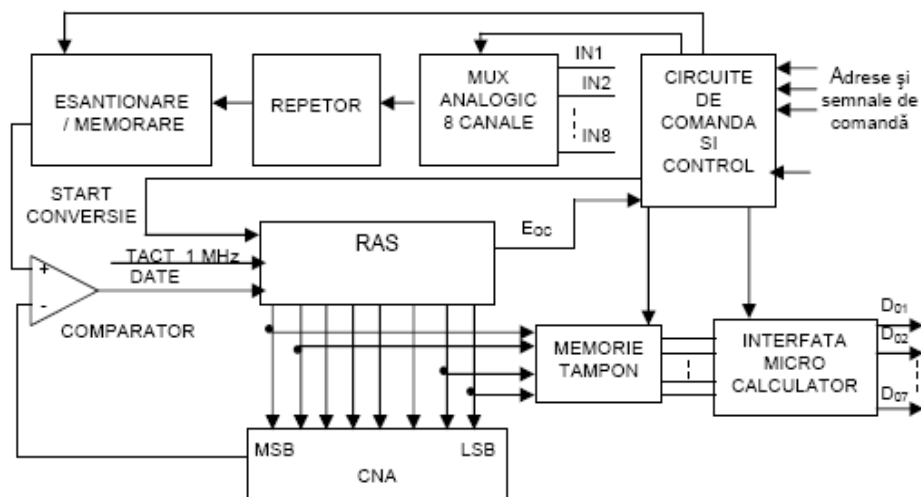


Fig. 8.1

Convertorul primește comenzi de start conversie prin interfața convertor – microcalculator, iar după timpul afectat procesului de conversie, procesul poate prelua succesiv 2 octeți de date, reprezentând numeric semnalul de intrare. Interfața este conectată la magistrala de date, adrese și comenzi a microcalculatorului, comenzile către convertor și datele de la acesta vehiculându-se prin intermediul unor porturi incluse în câmpul de adresare, destinat perifericelor procesorului.

În schema electrică din fig. 8.2, circuitele integrate *IC5*, *IC13* tip 8286 sunt buffere bidirecționale de 8 biți pentru adrese, comenzi și date; controlul sensului de transfer făcându-se prin intrarea *T* (pin 11). Circuitele *IC14* și *IC15*, tip 74373, sunt memorii tampon transparente de 8 biți, cu ieșiri în 3 stări, necesare unității centrale să preia date stabile cu buffer-ul *IC13*. *CAN* de 12 biți este circuitul integrat *IC12*, tip *DAC32*, *COB12* (Germania), cu referință de tensiune internă (cu caracteristici apropiate de *AD562*, *Analog – Devices*). Registrul de aproximații succesive este circuitul integrat *K155IR17* (*Advances Micro Devices*). *RAS* primește la intrarea 13 un semnal de tact de 1 MHz.

Semnalul analogic de intrare este adus la intrarea inversoare a amplificatorului operațional de precizie $\beta M301$, *IC9*, în configurație de repetor, prin intermediul multiplexorului analogic cu 8 canale *CMOS*, *MMC4051*. Se poate astfel mări numărul intrărilor până la 8, selectarea făcându-se cu semnalele *MUX A*, *MUX B*, *MUX C* de la ieșirea circuitului 74175.

Semnalul de la ieșirea amplificatorului operațional $\beta M301$ se aplică la intrarea circuitului de eșantionare–memorare, pin 3 reprezentat de circuitul *IC10*, tip *KR1100SK2*, memorarea făcându-se pe condensatorul de la pinul 6. Căderea tensiunii memorate în timpul de conversie pe acest condensator este redusă, mai mică decât jumătate din cuanta minimă a semnalului convertit (1,22 mV).

Pentru a preveni erorile dinamice, semnalul aplicat la intrarea *CNA* trebuie să provină de la surse de semnal cu impedanța dinamică de ieșire mică, obținute folosind circuite de mare viteză.

De la ieșirea circuitului de eșantionare – memorare, semnalul se trimite la intrarea 2 a *CAN*, *IC12*, tip *DAC32*, fiind convertit într-un curent proporțional prin intermediul unui rezistor de precizie inclus în *DAC32*.

Acest curent este comparat cu cel de la ieșirea 5, cu circuitul *IC11*, tip *ROB311*. Pentru mărirea vitezei de lucru, impedanța din nodul de sumare al comparatorului trebuie minimizată. Dar, micșorând impedanța, se reduce corespunzător tensiunea la intrarea comparatorului (exemplu, pentru o impedanță echivalentă în nodul de sumare = 1 k Ω , LSB = 0,5 mV), scade performanța de comparare, crescând erorile.

Generatorul dă la ieșire data ce va fi înscrisă în registrul de aproximații succesive, care are la ieșirile Q_0, \dots, Q_{11} eșantionul numeric rezultat din conversie.

Convertorul analog – numeric *DAC32* poate regla tensiunea de decalaj și amplificarea, pentru minimizarea erorilor, cu ajutorul unor semireglabili multiture.

Circuitele *IC1 – 1, 2, 3* tip 74LS32, 4 porți *SAU* cu 2 intrări, *IC3* tip 7474, 2 bistabile *D* cu triggerare pe front, *IC4 – 5, 6* și *IC4 – 8, 9*, tip 7414, triggere

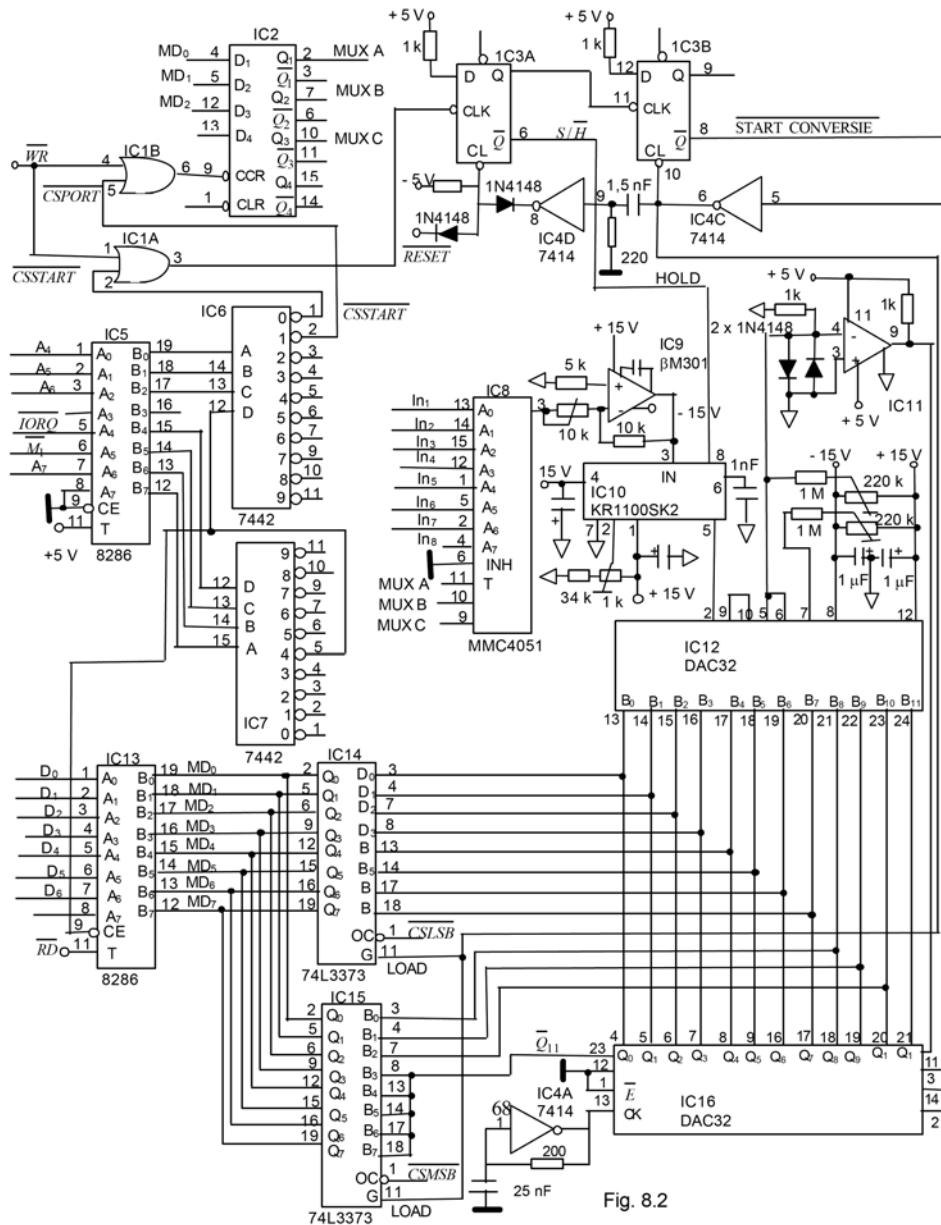


Fig. 8.2

Schmitt, au rolul de a genera semnalele *SAMPLE / HOLD* și *START CONVERSIE* conform datelor de catalog ale circuitelor de eșantionare – memorare, *CAN* și *RAS*. Semnalul *RESET* este preluat de pe magistrala microcalculatorului.

Circuitele *IC6*, *IC7* tip 7442, decodare *BCD* – zecimal, au rolul de a decoda semnalele *CSSTART*, *CSPORT* și semnalele de încărcare și selecție date pentru memoriile tampon 74373.

Se poate obține viteză mare de lucru scurtând traseele de cablaj, scăzând capacitățile parazite și micșorând valorile impedanțelor. O atenție deosebită trebuie acordată traseelor de masă.

Sistemul de achiziție de semnale se cuplează la microcalculator cu ajutorul unui conector.

3.2. Circuitul 74175

Conține 4 bistabile *D* de viteză, intrările *CLOCK* și *CLEAR* fiind comune. Informațiile de la intrările *D* sunt stocate în timpul tranziției *LOW* – *HIGH* a tactului. Intrarea *CLR* de ștergere este intrare prioritară asincronă. Tabela de adevăr este dată în fig. 8.3, unde t_n reprezintă timpul de bit înaintea tranziției pozitive a

Intrari	Iesiri
$t_n, \overline{CLR} = H$	t_{n+1}
D_n	$Q_n, \overline{Q_n}$
L	$L \ H$
H	$H \ L$

Fig. 8.3

tactului iar t_{n+1} reprezintă timpul de bit după tranziția pozitivă a tactului.
 Schema logică este prezentată în fig. 8.4.

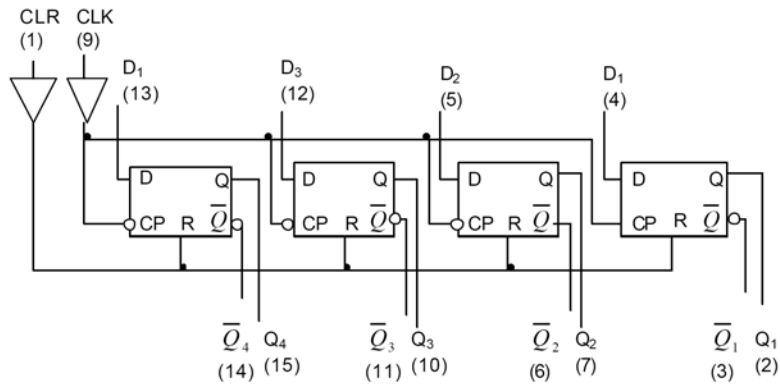


Fig. 8.4

3.3 Memoriile tampon transparente 74373

Circuitul 74373 este un latch octal transparent cu buffere de ieșire cu 3 stări. Cele două secțiuni ale dispozitivului sunt controlate independent de porțile *LATCH ENABLE* sau *GATE (G)* și *OUTPUT ENABLE* sau *OUTPUT CONTROL (OC)*.

Datele de la intrările *D* se transferă la ieșirile latch-ului când intrarea *GATE* (pin 11) este *HIGH*. Latch-ul rămâne transparent pentru datele de intrare atât timp cât *G* este *HIGH* și stochează datele de intrare prezente la momentul tranziției *HIGH – LOW* a intrării *G*. Poarta de la această intrare are un histerzis de cca 400 mV, pentru a minimiza problemele legate de semnalele de zgomot și cuplaj prin masă.

Bufferele cu ieșiri în 3 stări sunt proiectate pentru conectarea pe magistralele 3 – state, la memorii sau microprocesoare *MOS*. Intrarea *OC* (pin 1), activă pe nivel *LOW*, controlează toate cele 3 buffere independent de opțiunea latch. Când *OC* este *LOW*, datele zăvorâte sau transparente apar la ieșiri. Când *OC* este *HIGH*, ieșirile sunt în starea de impedanță ridicată (starea *OFF*), ceea ce înseamnă că nu controlează și nici nu încarcă magistrala.

În fig. 8.5 se prezintă modul de selecție și tabelul de funcționare, cu notațiile:

- H* – nivel de tensiune *HIGH*;
- h* – nivel de tensiune *HIGH* înaintea tranziției *HIGH – LOW* a intrării *G*;
- L* – nivel de tensiune *LOW*;
- l* – nivel de tensiune *LOW* înaintea tranziției *HIGH – LOW* a intrării *G*;
- Z* – starea *OFF* de impedanță ridicată.

Moduri de operare	Intrari			Registru intern	Iesiri $Q_0 \dots \dots \dots Q_7$
	<i>OC</i>	<i>G</i>	D_n		
Enable & read register	L	H	H	L	L
	L	H	H	H	H
Latch & read register	L	L	l	L	L
	L	L	h	H	H
Latch register & disable outputs	H	L	l	L	(Z)
	H	L	h	H	(Z)

Fig. 8.5

În fig. 8.6 se prezintă schema logică a circuitului 74373.

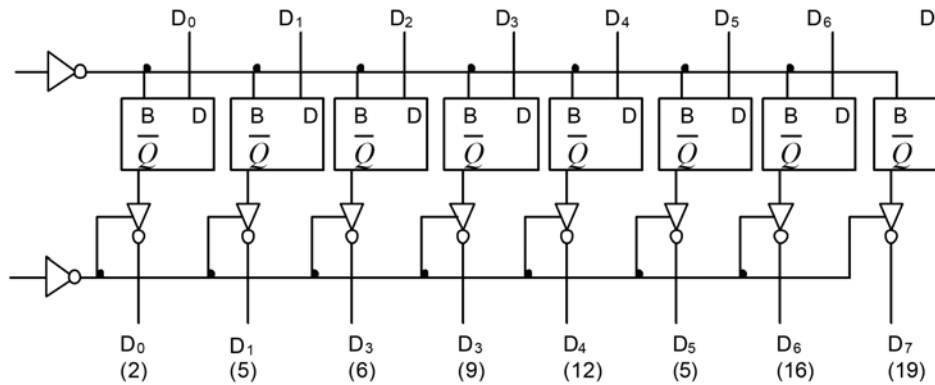


Fig. 8.6

3.4 Registrul cu aproximații succesive (RAS)

Parametrii de catalog ale registrului cu aproximații succesive de 12 biți sunt:

Tensiunea de alimentare	4,75 V ... 5,25 V
Curentul de alimentare	124 mA
Timpul de propagare al tactului (C)	32 ns ... 42 ns
Temperatura de lucru	-10°C ... +70°C.

Formele de undă pentru RAS sunt prezentate în fig. 8.7.

3.5 Secvență program

LD A, n_{MUX} - încarcă acumulatorul Z₈₀ (din microcalculator) cu n_{MUX} (pregătește canalul de intrare al multiplexorului; n_{MUX} = 00H ... 07H = numărul canalului de intrare al multiplexorului (IC8 MMC4051)).

OUT 16 - (comandă selecția canalului multiplexorului) - pe magistrala de date apare n_{MUX}, pe adrese (octet inferior) apare 00010000. Pe control $\overline{IORQ} = 0$, $\overline{M}_1 = 1$, astfel că $\overline{CSPORT} = 0$ (IC6) și apărând $\overline{WR} = 0$ (operația OUT), la ieșirea 6 IC1B (SAU) apare "0". Când dispare \overline{WR} ($\overline{WR} = 1$) apare tranziția 0 → 1 la ieșirea 6 IC1B, respectiv la CLK IC2 (74175). $\overline{RD} = 1$ și IC13 conectează magistrala de date în sensul D₀ → MD₀ ... D₇ → MD₇. La intrările de date din latch-ul 74145 IC2 apare n_{MUX} și la $\overline{WR} = 1$ (CLK) se face transferul și memorarea valorii de selecție a canalului MUX (MD₀ = MUX A, MD₁ = MUX B, MD₂ = MUX C care se conectează la intrările A, B, C de la IC8).

OUT 0 - (start conversie) - nu mai interesează ce este pe magistrala de date. Pe magistrala de adrese apare 00000000, pe control $\overline{IORQ} = 0$, $\overline{M}_1 = 1$, astfel la IC6 apare $\overline{CSSTART} = 0$. Poarta SAU IC1A face funcția $\overline{CSSTART}$ sau \overline{WR} , ambele au valoarea "0", deci ieșirea este "0". Când dispare \overline{WR} , ($\overline{WR} = 1$) ieșirea trece în "1" și aplică front crescător la CLK IC3A (7474); Se încarcă D = 1 la Q = 1 și $\overline{Q} = 0$. $\overline{Q} = 0$ trece S / H în modul H (memorare), ieșirea \overline{Q} IC3A conectată la CLK IC3B determină, de asemenea, încărcarea bistabilului 7474 cu Q = 1 și $\overline{Q} = 0$. $\overline{Q} = 0$ determină $\overline{START CONVERSIE} = 0$ și începe conversia.

După un tact de la oscilatorul IC4A aplicat la CK IC16 (RAS), E_{OC} (end of conversion) trece în "1", E_{OC} = 1. Inversorul IC4C trece cu ieșirea 6 în "0" și resetează IC3B (Q = 0, $\overline{Q} = 1$, $\overline{START CONVERSIE} = 1$). Prin circuitul de diferențiere CR (1,5 nF . 220 Ω) trece impuls negativ, astfel că la ieșirea 8 a inversorului IC4D apare "1" și nu acționează resetul pentru bistabilul IC3A.

Când se termină conversia (după 12 tacte aplicate la CK IC16), E_{OC} = 0 (pinul 3 IC16), ieșirea 6 IC4C trece în "1" (nu afectează starea bistabilului IC3B), dar prin circuitul C - R trece impuls pozitiv și apare la ieșirea 8 IC4D un impuls scurt pe nivel "0" logic care resetează bistabilul IC3A (Q = 0,

$\overline{Q} = 1$, $S/\overline{H} = 1$, mod S – eșantionare). La dispariția impulsului, 8 IC4D trece în “1” (rezistența de 220Ω asigură “0” logic la intrarea inversorului) iar condensatorul C separă în curent continuu circuitele. La ieșirile $Q_0 \dots Q_{11}$ ale IC16 (RAS) este rezultatul conversiei. La sfârșitul conversiei ($E_{OC} = 1$), ieșirea 6 IC4C (inversor) trece în “1” și determină apariția $LOAD = 1$. Acest semnal se aplică la intrările G (Gate sau Enable) ale circuitelor 74373 (IC14, IC15), astfel că bistabilele sunt “transparente” (intrările de date sunt conectate cu ieșirile), la ieșiri apărând biții rezultați din conversie. Preluarea lor se face prin activarea intrărilor Output Control OC (notate Output Enable \overline{OE}) care controlează bufferele cu 3 stări de la ieșirile circuitelor 74373.

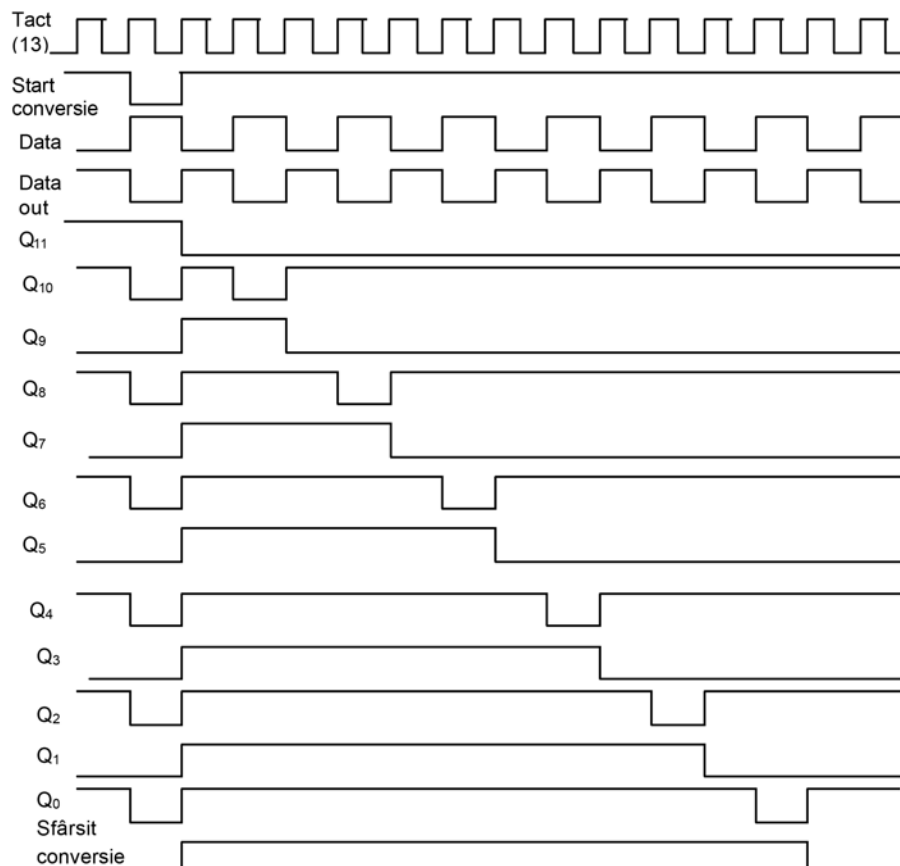


Fig. 8.7

IN 32 – (citește octetul inferior rezultat din conversie) – Pe adrese avem 00100000, pe control $\overline{IORQ} = 0$, $\overline{M}_1 = 1$, $\overline{WR} = 1$, $\overline{RD} = 0$; se decodează cu IC6 $\overline{CSLSB} = 0$ pentru citire octet inferior (primii 8 biți cei mai puțin semnificativi); La IC13, $\overline{RD} = 0$, deci $T = 0$ și se selectează sensul $D_0 \leftarrow MD_0 \dots D_7 \leftarrow MD_7$ (spre magistrala de date): \overline{CSLSB} se aplică la OC și activează bufferele de ieșire conectând ieșirile $Q_0 \dots Q_7$ pe magistrala de date. În acumulatorul microprocesorului se încarcă $Q_0 \dots Q_7$ de la RAS IC16.

IN 48 – (citește octetul superior rezultat din conversie, 4 biți) – Pe adrese avem 00110000, pe control $\overline{IORQ} = 0$, $\overline{M}_1 = 1$, $\overline{WR} = 1$, $\overline{RD} = 0$; se decodează cu IC6 $\overline{CSLSB} = 0$ pentru citire octet superior (de fapt 4 biți dar se transferă tot octetul). La IC13 aceeași situație: $\overline{RD} = 0$ deci $T = 0$ și se selectează sensul $D_0 \leftarrow MD_0 \dots D_7 \leftarrow MD_7$ (spre magistrala de date): \overline{CSMSB} se aplică la OC (pin 1) IC15 și activează bufferele de ieșire conectând ieșirile $Q_0 \dots Q_7$ pe magistrala de date. În acumulatorul microprocesorului se încarcă $Q_0 \dots Q_{11}$ de la RAS IC16. Astfel s-au transferat toți cei 12 biți rezultați în urma conversiei analog – numerice.

4. Testarea sistemului de achiziție de semnale

4.1 Testare convertor numeric – analog DAC32, COB12

Intrările numerice sunt compatibile TTL Low Power Schottky.

Tensiunile analogice de ieșire pentru unele coduri particulare la intrare sunt:

Intrari numerice											Iesiri (I_o)
MSB						LSB					
0	0	0	0	0	0	0	0	0	0	0	+ 4,9976 V
0	1	1	1	1	1	1	1	1	1	1	0 V
1	1	1	1	1	1	1	1	1	1	1	- 5 V

Schema electrică pentru testarea CNA este prezentată în fig. 8.8 iar caracteristicile electrice ale CNA tip DAC32, COB12 sunt în tabelul de mai jos

	min	tipic	max	U/M
Tensiune de intrare în "1" logic: V_{ih}	2		+ U_s	V
Tensiune de intrare în "0" logic: V_{il}			0,8	V
Curent de intrare în "1" logic: I_{ih}			1	μ A
Curent de intrare în "0" logic: $-I_{il}$		50	100	μ A
Eroarea de liniaritate (la 23 ± 2 °C)			$\pm 1/2$	LSB
Eroarea de liniaritate diferentiala (la 23 ± 2 °C)			$\pm 1/2$	LSB
Drift bipolar (0 ... 70 °C)		± 25		ppmFSR/K
Eroarea de câstig			± 15	mV
Eroarea de offset			± 15	mV
Timp de stabilire la $\pm 1/2$ LSB pt. iesirea de curent, $R_s = 100 \Omega$		2		μ s
Timp de stabilire la $\pm 1/2$ LSB pt. iesirea de tens.		25		μ s

4.2 Testare finală

Pentru combinațiile adreselor A_0, \dots, A_7 se atribuie următoarele funcții:

Slew rate		0,5		V/ μ s
Tensiunea de referinta interna		10		V
Dependenta iesirii analogice de tens. de alim.		0,002		%FSR/% U_s
Tensiuni de alimentare: + U_{s1} , - U_{s2}	14,25	15	15,75	V
Curent de alimentare: I_s		50	60	mA
Temperatura de lucru: T	0		70	°C

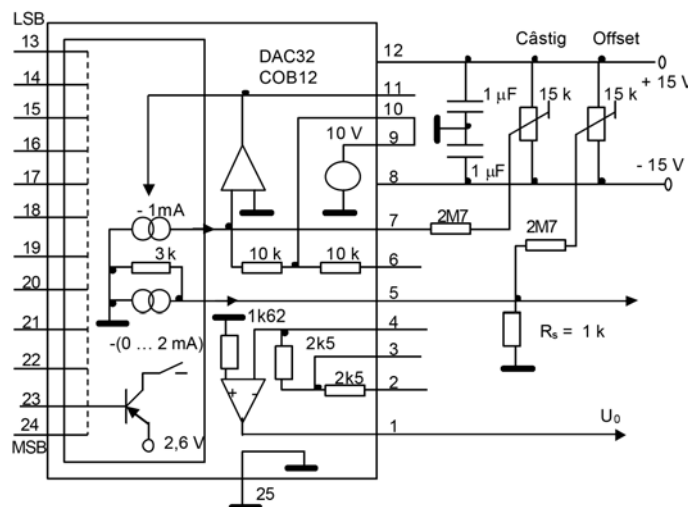


Fig. 8.8

Un exemplu simplu de program în limbaj *BASIC* pentru testare *CAN* cuplat la microcalculator este următorul:

```
10 OUT 0,0
12 PRINT AT 1,1: “      “; AT 1,1; IN 32
14 PRINT AT 2,1: “      “; AT 2,1; IN 48
16 GOTO 10
```

S-a folosit modul monocanal și nu s-a programat multiplexorul analogic. Pe ecran apar codurile corespunzătoare valorii tensiunii continue de la intrare pentru ambele polarități. Când codurile obținute (afișate zecimal) nu corespund valorii tensiunii continue de la intrare (se testează obligatoriu 0 V și cele două capete de gamă), se reglează semiregabilii de câștig și offset. Reglajul offset-ului se face aplicând la intrare tensiunea continuă de $-4,9988$ V, reglând semireglablul corespunzător și urmărind tranziția *LSB* (toți ceilalți biți sunt în “0” logic). Reglajul amplificării se face aplicând la intrare $+4,9963$ V, reglând semireglabilul corespunzător și urmărind tranziția *LSB* (toți ceilalți biți în “1” logic).

Testarea rapidă a modului de funcționare se poate face și cu un program în *BASIC* sub sistemul de operare *CP/M*, cu *CAN* cuplat la microcalculator.

Testarea finală și de calitate este testarea dinamică. Pentru aceasta, se folosește analizorul numeric de semnale de vibrație, la intrarea căruia se aplică semnale de la generatoare etalon. Semnalele de test se aleg tip sinusoidal, cu amplitudine apropiată de nivelul maxim (± 5 V) fără însă a limita semnalul; se folosește semnal maxim pentru a testa toate codurile și pentru situația cea mai defavorabilă a parametrului slew rate, știind că performanțele *CAN* sunt limitate de viteza de răspuns. La excursia maximă a semnalului de intrare cresc toate celelalte erori: apertură, neliniaritate dinamică, zgomot și stabilitate. Se urmărește forma sinusoidei achiziționate, spectrul instantaneu (liniar) și histograma.

Un test calitativ este și cu frecvențe de bătai, un caz particular fiind testul de anvelopă, pentru evaluarea timpilor de stabilire. Banda analogică de frecvențe a *CAN* trebuie să fie mai mare decât banda de frecvențe a semnalului de intrare.

Când banda analogică de frecvențe a *CAN* este mai mare dar comparabilă cu banda de frecvențe a semnalului de intrare, apar erori de amplitudine, de timpi de creștere, iar când se convertesc semnale tranzitorii cu conținut spectral bogat, pot apărea distorsiuni de timpi de întârziere datorită fazei neliniare.